

<D> Japanese Patent No. 2659970

(54) [Title of the Invention]

SEMICONDUCTOR INTEGRATED CIRCUIT

(57) [Claims]

[Claim 1] A semiconductor integrated circuit wherein a plurality of standard cells are formed for layout on a semiconductor chip by automatic layout design methodology using electronic computer equipment, characterized by forming and disposing in a standard cell column with an array of a plurality of standard cells laid out therein a required number of feed cells in units of cell columns in order to perform width alignment between respective cell columns while providing within the feed cell a lead layer for use in supplying a power supply voltage along with source and drain diffusion layers plus a gate lead layer for constitution of at least one MOS transistor.

[Claim 2] The semiconductor integrated circuit as recited in claim 1, characterized in that source and drain diffusion layers plus gate lead layers for constituting P-channel and N-channel MOS transistors respectively are provided in said feed cell.

[Detailed Description of the Invention]

<Object of the Invention>

(Field of Industrial Application)

This invention relates to standard-cell semiconductor integrated circuits and, in more particular, to improvements for enabling facilitation of modification of circuitry.

(Prior Art)

Fig. 5 depicts a plan view of an overall configuration of a standard-cell LSI chip as automatically designed using electronic computer equipment. A chip main body 10 is arranged including a plurality of cell rows 11 each having a linear array of plural standard cells. Further arranged thereon in addition to the cell columns 11 is a macro cell 12 which is comprised for example of a memory or else.

In each of the cell columns 11, the number of the standard cells used therein is not always the same; accordingly, a required number of feed cells 13 are laid out in each cell column 11 for purposes of mutual width alignment among respective cell columns 11 and also of supplying more than one power supply voltage to such respective cell columns 11.

A plan view of one typical prior known feed cell is shown in Fig. 6 with reference numeral 13 adhered thereto, wherein this feed cell 13 is arranged including a pair of lead layers 15A, 15B made for example of aluminum for use in supplying high-potential side and low-potential side power supply voltages and a well region 16 of a preselected conductivity type which may be N-type when a substrate is of P-type conductivity. And, a required number of feed cells of similar configuration are laid out with respect to a certain cell column to thereby supply the high/low-potential power supply voltages from power supply leads, not shown, via respective pairs of lead layers 15A, 15B to each standard cell within a corresponding one of the cell columns.

Incidentally such standard-cell LSI of this type is such that in cases where a need is felt to modify circuitry due to alteration of specifications after having prepared a prototype product in the premanufacturing procedure, the major approach in the prior art is to redo all processes of the massproduction design procedure from the beginning. This traditional approach is encountered with problems including but not limited to an increase in LSI development period and in development cost.

(Problem to be Solved by the Invention)

As stated above, in the prior art, there is a problem that the development period and development cost increases due to the fact that the manufacture must be redone from the first step in case circuitry modification is needed after experimental or "trial" production.

This invention has been made in view of the background above, and its objective is to provide a standard-cell semiconductor integrated circuit capable of reducing the development period and development costs.

<Arrangement of the Invention>

(Means for Solving the Object)

A semiconductor integrated circuit of this invention is arranged so that source and drain diffusion layers are provided within a feed cell along with a gate lead layer for making up at least one MOS transistor.

(Operation)

With the semiconductor integrated circuit of this invention, letting a feed cell, which is traditionally designed to have mere functions of width alignment and of electrical leads, offer functionality of an active element while also functioning as a lead layer may enable when modification is needed due to a circuit change or else this element to be used to achieve any required circuit alteration by modification at those process steps that follow fabrication of lead layers.

(Embodiment)

One preferred embodiment of this invention will now be explained with reference to the accompanying drawings.

Fig. 1 illustrates a planar configuration of a feed cell adapted for use in the semiconductor integrated circuit of this invention. In this drawing the reference numeral 13 designates such feed cell, in which a pair of lead layers 15A, 15B made of aluminum as in the prior art and N-type well region 16 are provided. Further provided in this cell are a pair of P-type diffusion regions 17A, 17B and a pair of N-type diffusion regions 18A, 18B with a polycrystalline silicon layer 19 being continuously provided as a gate lead between the both regions 17A, 17B and the both regions 18A, 18B.

Here, in case a circuit consisting essentially of a NOR gate 21 and an inverter 22 is constituted from a certain one of cell columns on the real chip as shown by equivalent circuitry in Fig. 2(a) by way of example, a standard cell 31 for the NOR gate and a standard cell 32 for the inverter are laid out as shown in a plan view diagram of Fig. 3 while disposing in this cell column any required number of feed cells 13 each having the configuration shown in Fig. 1—for example, three ones 13A-13C. And, a mask pattern for lead layer formation which has been designed by electronic computer equipment is used to fabricate more than one lead layer for use in connecting between the above-noted NOR-gate standard cell

31 and inverter standard cell 32, thus manufacturing the intended LSI. At this time no lead layers but the ones 15A, 15B are formed in respective feed cells 13A-13C so that these feed cells 13 have mere functions of width alignment among the cell columns and of supplying the power supply voltage(s) via the pair of lead layers 15A, 15B.

Even in case it is required after trial manufacture of such LSI that a circuit 25 consisting of an inverter 23 and NAND gate 24 as shown in Fig. 2(b) be newly added to the equivalent circuitry of Fig. 2(a) due to specification alteration, it will no longer be required to redo the manufacture of it from the first process step while alternatively enabling achievement of such circuit design change or modification by use of the preformed feed cell 13 to add the circuit 25 consisting of the inverter 23 and NAND gate 24 through minimal alteration of only the final step of designing lead layers with a multilayer aluminum structure and of fabricating lead layers.

Fig. 4 depicts a plan view of an LSI chip with the circuit 25 added thereto by modifying the multilayer aluminum lead-layer design/lead-layer fabrication step in the way stated above. In this example the aluminum lead layers are arranged to have a double-layered structure. In the drawing, numeral 41 designates contact holes each for use in connecting a P-type diffusion region and the lead layer 15A together; 42 denotes contact holes each for use in connecting between an N-type diffusion region and the lead layer 15B; 43 indicates the newly added first-layer lead layers made of aluminum; 44 represents newly added second-layer aluminum lead layers; 45 shows contact holes each for connection between a P-type diffusion region and lead layer 43; 46 specifies contact holes for connection between an N-type diffusion region and lead layer 43; 47 denotes through-holes for connection between the newly added first-layer aluminum lead layer 43 and the newly added second-layer aluminum lead layer 44. Here, the feed cells 13A and 13B are used to realize said NAND gate 24 in Fig. 2(b) while letting the feed cell 13C be used to realize the inverter 23.

As apparent from the foregoing, the embodiment LSI is arranged so that source and drain diffusion layers plus associative gate lead layer for constitution of a MOS transistor are provided in the feed cell along with its inherent lead layers, thereby making it possible even where a need is felt to change the circuit configuration of a once-manufactured prototype device with a certain circuit function to perform any required circuit alteration through modification of those limited steps following the lead-layer fabrication step. This in turn makes it possible to reduce the development period and development costs when compared to the prior art.

It should be noted that this invention should not be limited to the illustrative embodiment only and that a variety of modifications and alterations are possible. For instance, although the above embodiment has been explained in a way such that both P-channel and N-channel MOS transistors are substantially provided within the feed cell 13, this is modifiable so that either one of them is provided therein.

<Effect of the Invention>

As has been explained above, according to this invention, it is possible to provide the intended standard-cell semiconductor integrated circuit capable of reducing the requisite development period and costs.

[Brief Description of the Drawings]

Fig. 1 is a diagram showing a plan view of a configuration of a cell used in one embodiment circuit of this invention, Fig. 2 is a diagram showing equivalent circuitry of a circuit to be realized in this embodiment, Fig. 3 is a diagram showing a plan view of a configuration of a certain cell column on a real chip, Fig. 4 depicts a plan view of a configuration of one modified cell column, Fig. 5 is a plan view of an overall configuration of a standard-cell LSI chip, and Fig. 6 is a plan view diagram showing a configuration of a prior art feed cell.

13 Feed Cell, 15A, 15B Lead Layer, 16 N-type Well Region, 17A, 17B P-type Diffusion Region, 18A, 18B N-type Diffusion Region, 19 Polycrystalline Silicon Layer.
??

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平1-100942

⑤ Int.Cl.⁴

H 01 L 21/82
27/04

識別記号

庁内整理番号

7925-5F
A-7514-5F

⑬ 公開 平成1年(1989)4月19日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体集積回路

⑮ 特 願 昭62-258675

⑯ 出 願 昭62(1987)10月14日

⑰ 発 明 者 吉 野 輝 夫 神奈川県川崎市川崎区駅前本町25番地1 東芝マイコンエ
ンジニアリング株式会社内
⑱ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑲ 出 願 人 東芝マイコンエンジニアリング株式会社 神奈川県川崎市川崎区駅前本町25番地1
⑳ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 電子計算機を使用した自動配置設計法によって複数のスタンダードセルを半導体チップ上に形成するとともに、複数のスタンダードセルが一列に配置されたスタンダードセル列で各セル列間の位置整合用もしくはセル列上での通過配線領域を確保するための単位セルとしてフィードセルを使用するようにした半導体集積回路において、上記フィードセル内に配線層とともに少なくとも1個のMOSトランジスタを構成するソース、ドレイン拡散層及びゲート配線層を設けるようにしたことを特徴とする半導体集積回路。

(2) 前記フィードセル内にはそれぞれ1個のPチャネル及びNチャネルMOSトランジスタそれぞれを構成するソース、ドレイン拡散層及びゲート配線層が設けられている特許請求の範囲第1項に記載の半導体集積回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はスタンダードセル方式による半導体集積回路に係り、特に回路の修正が容易に行なえるようにした改良に関する。

(従来の技術)

第5図は、電子計算機により自動設計されたスタンダードセル方式によるLSIチップ全体の構成を示す平面図である。チップ本体10内には複数のスタンダードセルが一列に配置されたセル列11が複数構成されている。さらに上記セル列11の他に、例えばメモリ等からなるマクロセル12が構成されている。上記各セル列11では、使用するスタンダードセルの個数が必ずしも同じではないので、各セル列11相互の幅合せ及び各セル列11に対して電源電圧を供給する目的で、各セル列11にはフィードセル(Feed Cell)13が必要個数だけ配置されている。

従来、このフィードセル13は第6図の平面図に

THIS PAGE BLANK (USPTO,

示すように、高電位側及び低電位側の電源電圧を供給するための例えばアルミニウムによる一対の配線層15A、15Bと、使用する基板の導電型が例えばP型の場合にはN型のウエル領域16が設けられた構成にされている。そして、あるセル列に対して必要個数だけこのフィードセルを配置し、図示しない電源配線からの高電位側及び低電位側の電源電圧を各一対の配線層15A、15Bそれぞれによって経由し、対応するセル列内の各スタンダードセルに供給するようにしている。

ところで、このようなスタンダードセル方式のLSIにおいて、試作後に例えば仕様変更等により回路に修正を施す必要が生じた場合、従来では最初の工程から再度製造し直すようにしている。このため、従来ではLSIの開発期間及び開発費の増大等の問題があった。

(発明が解決しようとする問題点)

このように従来では、試作後に回路に修正を施す必要が生じた場合には最初から再度製造し直すようにしているので、開発期間及び開発費が増大

するという問題がある。

この発明は上記のような事情を考慮してなされたものであり、その目的は、開発期間及び開発費の削減を図ることができるスタンダードセル方式による半導体集積回路を提供することにある。

(発明の構成)

(問題点を解決するための手段)

この発明の半導体集積回路は、フィードセル内に配線層とともに少なくとも1個のMOSトランジスタを構成するソース、ドレイン拡散層及びゲート配線層を設けるようにしている。

(作用)

この発明の半導体集積回路では、従来、幅合せ及び配線としての機能しか持っていなかったフィードセル内に、配線層とともに素子としての機能を付与することにより、回路変更等で修正が必要となった場合にこの素子を使用し、配線層以降の工程の修正で回路変更が行なえる。

(実施例)

以下、図面を参照してこの発明の一実施例を説

明する。

第1図はこの発明の半導体集積回路で使用されるフィードセルの構成を示す平面図である。図中、13はフィードセルであり、このセル内には従来と同様にアルミニウムによる一対の配線層15A、15Bと、N型ウエル領域16とが設けられている。さらにこのセル内には、一対のP型拡散領域17A、17Bと一対のN型拡散領域18A、18Bとが設けられており、両領域17A、17B相互間と両領域18A、18B相互間には連続的にゲート配線としての多結晶シリコン層19が設けられている。

ここで、例えば第2図(a)の等価回路で示されるようにノアゲート21とインバータ22とからなる回路を実際のチップ上のあるセル列で構成する場合には、第3図の平面図に示すようにノアゲート用スタンダードセル31とインバータ用スタンダードセル32を配置し、このセル列には上記第1図に示す構成のフィードセル13を必要な個数だけ、例えば13A~13Cの3個を配置する。そして、電子計算機によって設計された配線層形成用のマス

クパターンを用いて上記ノアゲート用スタンダードセル31とインバータ用スタンダードセル32相互を接続する配線層を形成することによってLSIが製造される。このとき、各フィードセル13A~13Cに対しては15A、15B以外の配線層は形成されず、これらフィードセル13は単なるセル列相互間の幅合せと一対の配線層15A、15Bによる電源電圧の供給という機能しか果たさない。

このようなLSIの試作後に、使用変更等により第2図(a)の等価回路に対し、第2図(b)に示すように新たにインバータ23とナンドゲート24からなる回路25を追加する必要が生じた場合でも、最初の工程から再度製造し直す必要がなく、予め形成されているフィードセル13を利用し、上記インバータ23及びナンドゲート24からなる回路25を最終工程である多層アルミニウムによる配線層の設計並びに配線層の形成工程だけ変更することによって追加することができる。

第4図は上記のように、多層アルミニウムによる配線層の設計並びに配線層の形成工程の変更

THIS PAGE BLANK (USPTO)

より上記回路25が追加されたLSIチップを示す平面図である。この例ではアルミニウムによる配線層は2層にされている。図中、41はP型拡散領域と配線層15Aとを接続するコンタクトホール、42はN型拡散領域と配線層15Bとを接続するコンタクトホール、43は新たに追加された第1層目のアルミニウムによる配線層、44は新たに追加された第2層目のアルミニウムによる配線層、45はP型拡散領域と配線層43とを接続するコンタクトホール、46はN型拡散領域と配線層43とを接続するコンタクトホール、47は追加された第1層目のアルミニウムによる配線層43と新たに追加された第2層目のアルミニウムによる配線層44とを接続するスルーホールである。ここでは、フィードセル13Aと13Bとによって前記第2図(b)中のナンドゲート24が実現されており、フィードセル13Cによって同じくインバータ23が実現されている。

このように上記実施例のLSIでは、フィードセル内に配線層とともにMOSトランジスタを構

成するソース、ドレイン拡散層及びゲート配線層を設けるようにしているので、ある回路機能を持つものを試作した後に回路に修正を施す必要が生じた場合でも、配線層以降の工程の修正で回路変更が行なえる。この結果、従来に比べて開発期間及び開発費の削減を図ることができる。

なお、この発明は上記実施例に限定されるものではなく種々の変形が可能であることはいうまでもない。例えば上記実施例ではフィードセル13内には実質的にPチャネル及びNチャネル両MOSトランジスタを設ける場合について説明したが、これはいずれか一方のみを設けるようにしてもよい。

〔発明の効果〕

以上説明したようにこの発明によれば、開発期間及び開発費の削減を図ることができるスタンダードセル方式による半導体集積回路を提供することにある。

4. 図面の簡単な説明

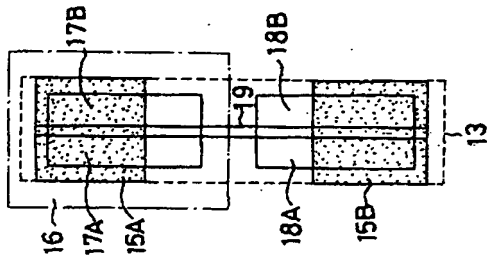
第1図はこの発明の一実施例回路で使用される

セルの構成を示す平面図、第2図はこの実施例で実現すべき回路の等価回路図、第3図は実際のチップ上のあるセル列の構成を示す平面図、第4図は変更されたセル列の構成を示す平面図、第5図はスタンダードセル方式によるLSIチップ全体の構成を示す平面図、第6図は従来のフィードセルの構成を示す平面図である。

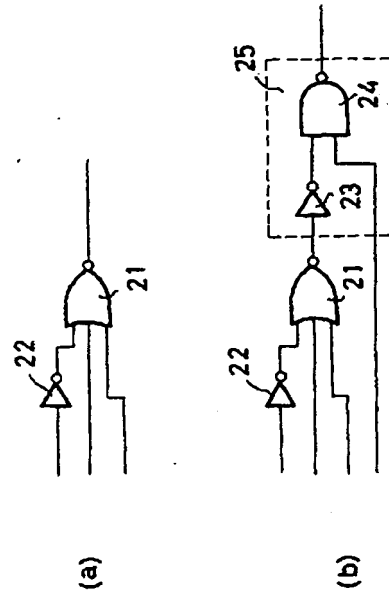
13…フィードセル、15A、15B…配線層、16…N型ウェル領域、17A、17B…P型拡散領域、18A、18B…N型拡散領域、19…多結晶シリコン層。

出願人代理人 弁理士 鈴江武彦

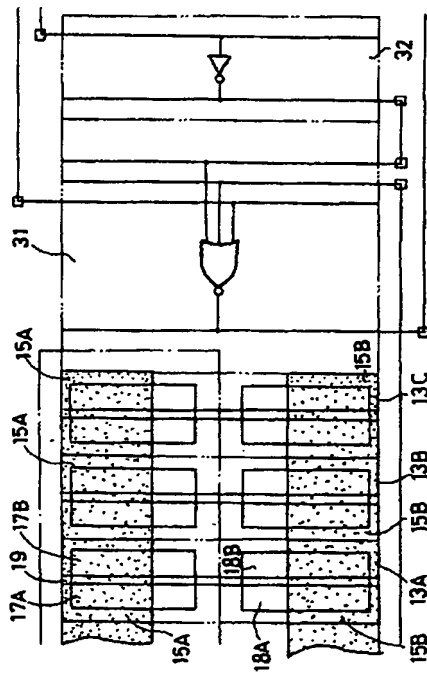
THIS PAGE BLANK (USPTO)



图一



第2圖



· 四三 集

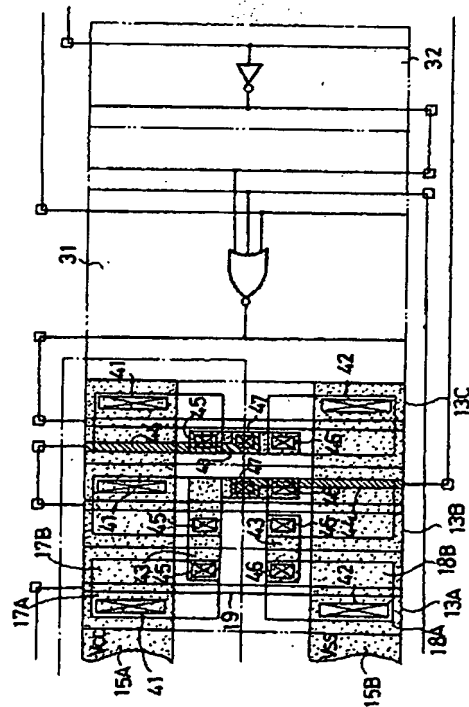
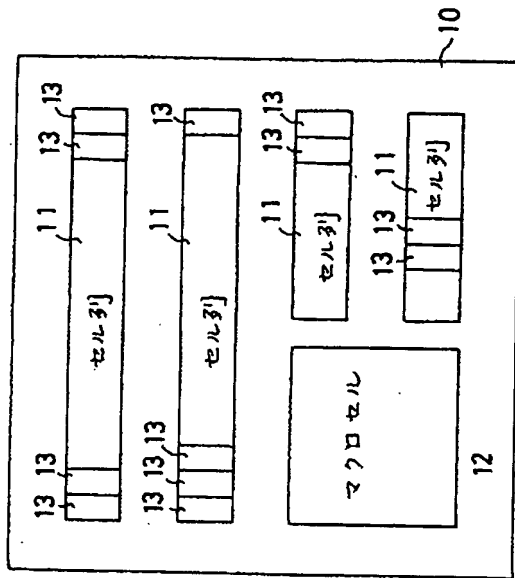
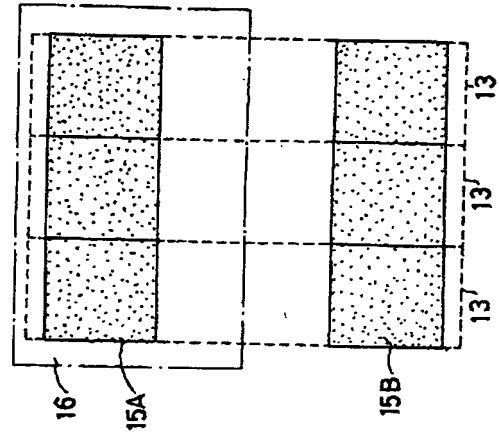


圖 2

THIS PAGE BLANK (USPTO)



第 5 図



第 6 図

THIS PAGE BLANK (USPTO)
